**Spartan-6 DSP48A1 Project**

Verilog Implementation and Design Flow

Mahmoud Ghamry

AUG.2024

Contents

1. Introduction …………………………………………………………………………………………………………… 1

2. Architecture highlights ………………………………………………………………………………………….. 2

3. Design Consideration

3.1 DSP48A1 Slice Primitive ………………………………………………………………………………. 3

3.2 Simplified DSP48A1 Slice …………………………………………………………………………….. 4

3.2 DSP48A1 Slice in Detail ……………………………………………………………………………….. 4

4.CODING

4.1 MAIN CODE ………………………………………………………………………………………………… 5

4.2 TEST BENCH CODE ……………………………………………………………………………………… 9

5.RESULT

5.1 Result from Questa Sim -64 2021

5.1.1 Wave form …………………………………………………………………………………………….. 11

5.2 Schematic using VIVADO 2018

5.2.1 Elaborated Design …………………………………………………………………………………. 11

5.2.2 Synthesis Design …………………………………………………………………………………….. 12

5.2.3 Implementation Design ………………………………………………………………………….. 12

6. REPORTS

6.1 Utilization……………………………………………………………………………………………………… 13

6.2 TIME……………………………………………………………………………………………………………… 13

7. ADDTION FILES

7.1 DO FILE…………………………………………………………………………………………………………. 14

7.2 Constraints…………………………………………………………………………………………………… 14

8. Implementation DEVICE IN FPGA ……………………………………………………………………………….. 14

1. **Introduction**

The DSP48A1 block, an evolution of the DSP48A slice found in Extended Spartan-3A FPGAs, stands out as a powerful component in digital signal processing. This versatile slice supports numerous DSP algorithms while utilizing minimal general-purpose FPGA logic, resulting in a design that is low power, high performance, and efficiently utilizes the device.

At its core, the DSP48A1 features an 18-bit input pre-adder, an 18x18-bit two’s complement multiplier, and a 48-bit sign-extended adder/subtractor/accumulator. This combination is integral to a wide range of DSP applications. However, a closer examination reveals a wealth of subtle features that enhance its utility, versatility, and speed.

Programmable pipelining of input operands, intermediate products, and accumulator outputs significantly boosts throughput. The 48-bit internal bus facilitates virtually unlimited aggregation of DSP slices, making it an incredibly scalable solution.

A standout feature of the DSP48A1 is its ability to cascade results from one slice to the next without relying on general fabric routing. This capability provides high-performance, low-power post-addition for DSP filter functions of any tap length. Additionally, the cascading of input streams from slice to slice, facilitated by the C input port, allows for the creation of complex 3-input mathematical functions, such as 3-input addition and 2-input multiplication with a single addition.

Moreover, the D input port enables the use of a second argument with the pre-adder, reducing the utilization of DSP48A1 slices in symmetric filters. These features collectively make the DSP48A1 an exceptional arithmetic building block, enhancing the performance and efficiency of digital signal processing tasks.

1 – 14

**2. Architecture highlights**

Two-input pre-adder/subtracter for efficient implementation of symmetric filters

• 18-bit x 18-bit, two’s-complement multiplier with a full-precision 36-bit result, sign

extended to 48 bits.

• Two-input, flexible 48-bit post-adder/subtracter with optional registered

accumulation feedback.

• Dynamic user-controlled operating modes to adapt DSP48A1 slice functions from

clock cycle to clock cycle.

• Cascading 18-bit B bus, supporting input sample propagation.

• Cascading 48-bit P bus, supporting output propagation of partial results.

• Advanced carry management (cascadable, register capable, and routable to the user

logic).

• Direct 36-bit multiplier output to the user logic.

• Performance enhancing pipeline options for control and data signals are selectable by

configuration bits.

• Input port *C* typically used for multiply-add operation, large two-operand addition,

or flexible rounding mode.

• Separate reset and clock enable for control and data registers.

• I/O registers, ensuring maximum clock performance and highest possible sample

rates with no area cost.

2 – 14

**3. Design Considerations**

3.1 DSP48A1 Slice Primitive

صورة تحتوي على نص, لقطة شاشة, رقم

تم إنشاء الوصف تلقائياً

*Figure 3-1:* **DSP48A1 Slice Primitive**

3 – 14

3.2 Simplified DSP48A1 Slice

صورة تحتوي على رسم بياني, خط, الخط, لقطة شاشة

تم إنشاء الوصف تلقائياً

*Figure 3-2:* Simplified DSP48A1 Slice with Pre-Adder

3.2 DSP48A1 Slice in Detail

صورة تحتوي على رسم بياني, نص, خطة, خريطة

تم إنشاء الوصف تلقائياً

*Figure 3-3:* DSP48A1 Slice in Detail

4 – 14

**4.CODING**

4.1 MAIN CODE

**صورة تحتوي على نص, لقطة شاشة

تم إنشاء الوصف تلقائياً**

*Figure 4-1:* main code

5 – 14

صورة تحتوي على نص, لقطة شاشة, الخط

تم إنشاء الوصف تلقائياً

*Figure 4-2:* main code

**صورة تحتوي على نص, لقطة شاشة, برمجيات, الخط

تم إنشاء الوصف تلقائياً**

*Figure 4-3:* main code

6 – 14

صورة تحتوي على نص, لقطة شاشة, الخط

تم إنشاء الوصف تلقائياً

*Figure 4-4:* instantiation code

صورة تحتوي على نص, لقطة شاشة, الخط

تم إنشاء الوصف تلقائياً

*Figure 4-5:* instantiation code

*7 – 14*

صورة تحتوي على نص, لقطة شاشة, الخط

تم إنشاء الوصف تلقائياً

*Figure 4-6:* instantiation code

8 – 14

4.2 TEST BENCH CODE



*Figure 4-7:*TEST BENCH code

صورة تحتوي على نص, لقطة شاشة, الخط

تم إنشاء الوصف تلقائياً

*Figure 4-8:*TEST BENCH code

صورة تحتوي على نص, الخط, لقطة شاشة, التصميم

تم إنشاء الوصف تلقائياً

*Figure 4-9:*TEST BENCH code

9 – 14

صورة تحتوي على نص, لقطة شاشة, الخط, قائمة طعام

تم إنشاء الوصف تلقائياً

*Figure 4-10:*TEST BENCH code

صورة تحتوي على نص, لقطة شاشة, الخط

تم إنشاء الوصف تلقائياً

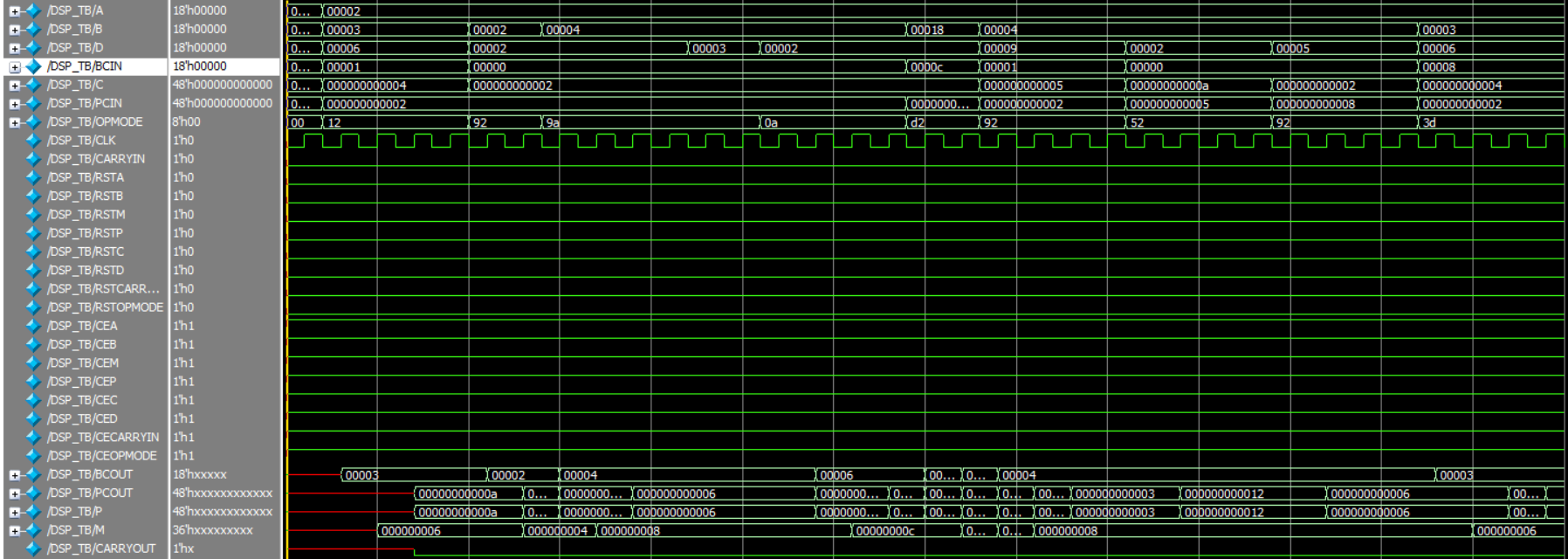
*Figure 4-11:*TEST BENCH code

10 – 14

**5.RESULT**

5.1 Result from Questa Sim -64 2021

5.1.1 Wave form



*Figure 5-1:*Wave form

5.2 Schematic using VIVADO 2018

5.2.1 Elaborated Design

صورة تحتوي على رسم بياني, خطة, تخطيطي, رسم تقني

تم إنشاء الوصف تلقائياً

*Figure 5-2:*Elaborated Design

11 – 14

5.2.2 Synthesis Design

صورة تحتوي على رسم بياني, رسم, التصميم, توضيح

تم إنشاء الوصف تلقائياً

*Figure 5-3:* Synthesis Design

5.2.3 Implementation Design

صورة تحتوي على رمز, التصميم

تم إنشاء الوصف تلقائياً

*Figure 5-4:* Implementation Design

12 – 14

**6. REPORTS**

6.1 Utilization

صورة تحتوي على نص, لقطة شاشة, رقم, الخط

تم إنشاء الوصف تلقائياً

*Figure 6-1:* Utilization Report

6.2 TIME

صورة تحتوي على نص, الخط, خط, لقطة شاشة

تم إنشاء الوصف تلقائياً

*Figure 6-2:* Time Report

13 – 14

**7. ADDTION FILES**

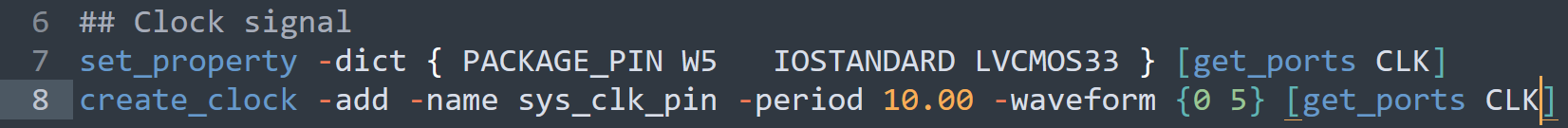
7.1 DO FILE

صورة تحتوي على نص, الخط, لقطة شاشة

تم إنشاء الوصف تلقائياً

*Figure 7-1:* DO file

7.2 Constraints



*Figure 7-2:* Constraints\_basys

8. **Implementation DEVICE IN FPGA**

صورة تحتوي على نص, لقطة شاشة, خط

تم إنشاء الوصف تلقائياً

*Figure 8:* Implementation

14 – 14